

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 05259476
PUBLICATION DATE : 08-10-93

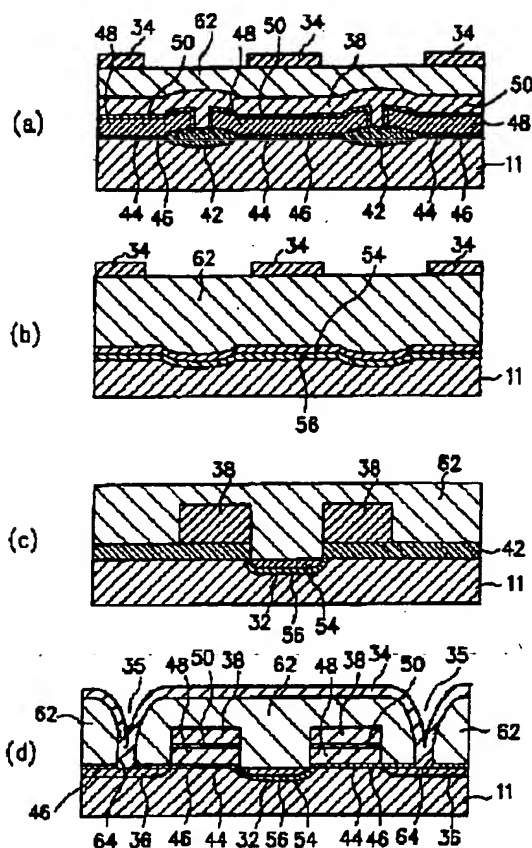
APPLICATION DATE : 18-12-92
APPLICATION NUMBER : 04355628

APPLICANT : NIPPON STEEL CORP;

INVENTOR : IWASA SHOICHI;

INT.CL. : H01L 29/788 H01L 29/792 G11C 16/02
G11C 16/04 H01L 27/115

TITLE : NONVOLATILE SEMICONDUCTOR
STORAGE DEVICE AND
MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To provide the structure of a nonvolatile semiconductor storage device high in integration.

CONSTITUTION: In a semiconductor storage device where a plurality of nonvolatile semiconductor storage elements are arranged on a semiconductor substrate 11, the end of a source electrode 32 and one end face of an element isolating insulating film 42 are arranged being conformed on the semiconductor substrate 11, and further this is equipped with the second polycrystalline silicon layers 38 and the first polycrystalline silicon layer 48 to become gate electrodes being stacked on this element isolating insulating film 42, conforming to the on end face, which conforms to the end of the source electrode 32, of this element isolating insulating film 42.

COPYRIGHT: (C)1993,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-259476

(43) 公開日 平成5年(1993)10月8日

(51) Int.Cl.⁴

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/788

29/792

G 1 1 C 16/02

H 0 1 L 29/78

3 7 1

9191-5L

G 1 1 C 17/00

3 0 7 D

審査請求 未請求 請求項の数18(全 14 頁) 最終頁に続く

(21) 出願番号 特願平4-355628

(22) 出願日 平成4年(1992)12月18日

(31) 優先権主張番号 特願平3-353664

(32) 優先日 平3(1991)12月18日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 岩佐 昇一

相模原市瀬野辺5-10-1 新日本製鐵株

式会社エレクトロニクス研究所内

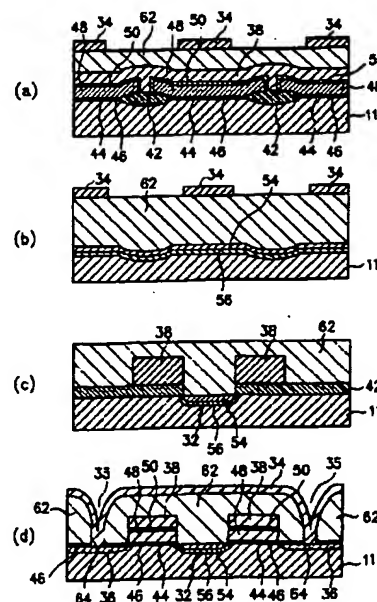
(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【要約】

【目的】 集積度のより高い不揮発性半導体記憶装置の構造を提供する。

【構成】 半導体基板11上に複数の不揮発性半導体記憶素子を配列した半導体記憶装置において、ソース電極32の端部と素子分離絶縁膜42の一端面とが半導体基板11上で整合して配置され、さらにこの素子分離絶縁膜42のソース電極32の端部と整合する一端面と整合してこの素子分離絶縁膜42上に積層配置されているゲート電極となる第2多結晶シリコン層38、第1多結晶シリコン層48を備えた構成である。



【特許請求の範囲】

【請求項1】 活性領域に2重拡散層が形成されている半導体基板と、

この半導体基板の上に形成され一端面が前記2重拡散層の端部と整合して配置された素子分離絶縁膜と、

この素子分離絶縁膜の前記整合する一端面と整合してこの素子分離絶縁膜上に積層配置されているゲート部とを有することを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記ゲート部は、情報を蓄積するための浮遊ゲートを更に有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記浮遊ゲートは、前記素子分離絶縁膜上を一部覆って前記活性領域上に形成されていることを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項4】 前記浮遊ゲートと前記活性領域とを隔てる絶縁膜を更に有することを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項5】 前記ゲート部は、前記浮遊ゲートへの情報蓄積を制御するための制御ゲートを更に有することを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項6】 前記制御ゲートは、隣あう不揮発性半導体記憶装置の制御ゲートと互いに接続していることを特徴とする請求項5記載の不揮発性半導体記憶装置。

【請求項7】 第1の導電性を有する半導体基板に複数の不揮発性の半導体記憶装置素子をマトリクス状に構成してなる不揮発性半導体記憶装置であって、

前記半導体基板の活性領域に形成され、前記第1の導電性とは逆の導電性をもつ第2の導電性を有する2重拡散層と、

この2重拡散層の端部と一端面が前記半導体基板上で整合して配置され、上記各半導体記憶装置素子を電気的に分離するための素子分離絶縁膜と、

この素子分離絶縁膜の前記2重拡散層の端部と整合する一端面と整合してこの素子分離絶縁膜上に積層配置されているゲート部とを有することを特徴とする不揮発性半導体記憶装置。

【請求項8】 前記ゲート部は、情報を蓄積するための浮遊ゲートを更に有することを特徴とする請求項7記載の不揮発性半導体記憶装置。

【請求項9】 前記浮遊ゲートは、前記素子分離絶縁膜上を一部覆って前記活性領域上に形成されていることを特徴とする請求項8記載の不揮発性半導体記憶装置。

【請求項10】 前記浮遊ゲートと前記活性領域とを隔てる絶縁膜を更に有することを特徴とする請求項8記載の不揮発性半導体記憶装置。

【請求項11】 前記ゲート部は、前記浮遊ゲートへの情報蓄積を制御するための制御ゲートを更に有することを特徴とする請求項8記載の不揮発性半導体記憶装置。

【請求項12】 前記制御ゲートは、隣あう不揮発性半導体記憶装置の制御ゲートと互いに接続していることを

特徴とする請求項11記載の不揮発性半導体記憶装置。

【請求項13】 第1の導電性を有する半導体基板の活性領域にソース電極、ドレイン電極が形成され、前記活性領域上に第1のゲート絶縁膜を介して浮遊ゲート、第2ゲート絶縁膜、制御ゲートが順次積層配置された不揮発性のMOS電界効果トランジスタを有する不揮発性半導体記憶素子をマトリクス状に構成してなる不揮発性半導体記憶装置であって、

前記第1の導電性とは逆の導電性を持つ第2の導電性を有する前記ソース電極と、

前記ソース電極の端部と一端面が前記半導体基板上で整合して配置され、前記各不揮発性半導体記憶素子を電気的に分離するための素子分離絶縁膜と、

この素子分離絶縁膜の前記ソース電極の端部と整合する一端面と整合してこの素子分離絶縁膜上に積層配置されているゲート部とを有することを特徴とする不揮発性半導体記憶装置。

【請求項14】 前記ゲート部は前記浮遊ゲートと、前記浮遊ゲート上に前記第2ゲート絶縁膜を介して形成されている前記制御ゲートとを含むことを特徴とする請求項13記載の不揮発性半導体記憶装置。

【請求項15】 前記浮遊ゲートは前記半導体基板の活性領域上に前記第1のゲート絶縁膜を介して、前記素子分離絶縁膜上に一部乗り上げて形成されていることを特徴とする請求項14記載の不揮発性半導体記憶装置。

【請求項16】 前記浮遊ゲートは隣あうMOS電界効果トランジスタの浮遊ゲートとは前記素子分離絶縁膜上で分離されていることを特徴とする請求項15記載の不揮発性半導体記憶装置。

【請求項17】 前記ソース電極は、前記半導体基板の活性領域表面近傍にある第2導電性不純物を濃く含んだ濃い拡散領域と、この濃い拡散領域の外側に存在し、濃い拡散領域よりも第2導電性不純物を薄く含んだ薄い拡散領域とを有することを特徴とする請求項13記載の不揮発性半導体記憶装置。

【請求項18】 半導体基板の表面に素子分離用の絶縁膜を溝状に形成し、

前記絶縁膜と交わって延在するように前記半導体基板上にゲート配線を形成し、

一対の前記ゲート配線に挟まれている領域のうちでソース領域とすべき部分を露出させるように、前記半導体基板及び前記ゲート配線上にレジストを形成し、

前記ゲート配線と前記レジストとをマスクにして前記絶縁膜を除去し、

前記半導体基板とは反対導電型で相対的に低濃度の第1の不純物層を、前記ゲート配線と前記レジストとをマスクにして前記半導体基板に形成することを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、いわゆるフラッシュEEPROMと称されている一括消去型不揮発性半導体記憶装置等の不揮発性半導体記憶装置及びその製造方法に関するものである。

【0002】

【従来の技術】図23及び図24は、フラッシュEEPROMの素子構造の一従来例を示している。この従来例では、Si基板11の表面に、素子分離用のSiO₂膜12を、最初2メモリセル毎に1つの割合で相互に孤立した島状に形成する。そして、素子活性領域の表面に、ゲート絶縁膜としてのSiO₂膜13を形成する。

【0003】その後、CVD法で多結晶Si膜14を全面に堆積させ、この多結晶Si膜14に不純物をドーピングする。そして、後に形成する制御ゲートの延在方向とは直角な方向で分割するように多結晶Si膜14をパターンニングして、多結晶Si膜14をメモリセルの行に対応させる。

【0004】次に、多結晶Si膜14上の全面に、容量結合用のSiO₂膜15を形成する。そして、SiO₂膜15上の全面にCVD法で多結晶Si膜16を堆積させ、この多結晶Si膜16に不純物をドーピングする。

【0005】その後、多結晶Si膜16とSiO₂膜15と多結晶Si膜14とSiO₂膜13とを、SiO₂膜12と直角に交わって延在する制御ゲートのパターンに加工する。この結果、多結晶Si膜16で制御ゲートつまりゲート配線が形成され、多結晶Si膜14で各メモリセルに対応する浮遊ゲートが形成される。

【0006】次に、Si基板11の表面のうちでソース領域のみを露出させるように、フォトリソスト21をパターンニングする。そして、多結晶Si膜16等とフォトリソスト21とをマスクにして、Si基板11中にPhos⁺を70keV程度のエネルギーで $1 \times 10^{11} \text{ cm}^{-2}$ 程度のドーピング量にイオン注入して、N⁺層22を形成する。

【0007】その後、フォトリソスト21を除去する。そして、今度は多結晶Si膜16等とSiO₂膜12とをマスクにして、Si基板11中にAs⁻を70keV程度のエネルギーで $1 \times 10^{18} \text{ cm}^{-2}$ 程度のドーピング量にイオン注入して、N⁺層23よりも浅いN⁻層23を形成する。N⁺層23とN⁻層22とで構成されているのがソース24であり、N⁺層23のみから成っているのがドレイン25である。

【0008】以上のようにして製造したフラッシュEEPROMは、構造的にEPROMと類似しているが、EPROMのようにソースとドレインとが互いに同一構造ではない。これは、記憶情報を消去する時は、ソース24に高電圧を印加して、浮遊ゲートである多結晶Si膜14に蓄積されている電子をファウラー-ノルドハイム電流としてソース24へ放出するので、ソース24を高耐圧構造にする必要があるからである。

【0009】

【発明が解決しようとする課題】ところが、図25に示すように、多結晶Si膜16が図23中で左右方向へ位置ずれて、SiO₂膜12の端部が多結晶Si膜16下の途中に位置していると、この多結晶Si膜16下で隣接メモリセルのドレイン25同士が短絡する。

【0010】例えば、図25において、制御ゲートG₁下の浮遊ゲートに情報を書き込む場合、例えばソースS₁に0ボルト、ドレインD₁に6ボルト、制御ゲートG₁に12ボルトを印加する。このとき、本来、ソースS₁—ドレインD₁間を流れる電流のうち、ホットエレクトロンが制御ゲートG₁下の浮遊ゲートに捕獲されることにより情報の書き込みが行われる。ところが、このとき隣接メモリセルのドレインD₂、D₃が低電位であることから、ドレインD₂、D₃があたかもソースのような役割をして、ドレインD₂、D₃とドレインD₁の間でもこの多結晶Si膜16下で矢印A、Bの方向に電流が流れ、隣接メモリセルのドレイン同士が短絡し、制御ゲートG₂、G₃下の浮遊ゲートにもホットエレクトロンが捕獲されてしまうおそれがある。

【0011】そこで、上記のような位置ずれを回避するために、上述の一従来例では、図23に示すように、SiO₂膜12の端部12'を多結晶Si膜16からソース24側へ突出させている。

【0012】しかし、ソース24側へ突出させたSiO₂膜12同士も所定の距離だけ離間させる必要があるので、SiO₂膜12の突出分だけソース24の幅を広くする必要がある。このため、この一従来例では集積度を高めることが難しい。

【0013】そこで、本発明の目的は、集積度のより高い不揮発性半導体記憶装置を製造することができる方法及びその不揮発性記憶装置の構造を提供することである。

【0014】

【課題を解決するための手段】本発明は、上記目的を達成するために、活性領域に2重拡散層が形成されている半導体基板と、この半導体基板の上に形成され一端面が前記2重拡散層の端部と整合して配置された素子分離絶縁膜と、この素子分離絶縁膜の前記整合する一端面と整合してこの素子分離絶縁膜上に積層配置されているゲート部とを有する。また、前記ゲート部は、情報を蓄積するための浮遊ゲートを更に有する。また、前記浮遊ゲートは、前記素子分離絶縁膜上を一部覆って前記活性領域上に形成されている。また、前記浮遊ゲートと前記活性領域とを隔てる絶縁膜を更に有する。また、前記ゲート部は、前記浮遊ゲートへの情報蓄積を制御するための制御ゲートを更に有する。また、前記制御ゲートは、隣合う不揮発性半導体記憶装置の制御ゲートと互いに接続している。

【0015】更に、本発明は、第1の導電性を有する半

導体基板に複数の不揮発性の半導体記憶装置素子をマトリクス状に構成してなる不揮発性半導体記憶装置であって、前記半導体基板の活性領域に形成され、前記第1の導電性とは逆の導電特性をもつ第2の導電性を有する2重拡散層と、この2重拡散層の端部と一端面が前記半導体基板上で整合して配置され、上記各半導体記憶装置素子を電気的に分離するための素子分離絶縁膜と、この素子分離絶縁膜の前記2重拡散層の端部と整合する一端面と整合してこの素子分離絶縁膜上に積層配置されているゲート部とを有する。また、前記ゲート部は、情報を蓄積するための浮遊ゲートを更に有する。また、前記浮遊ゲートは、前記素子分離絶縁膜上を一部覆って前記活性領域上に形成されている。また、前記浮遊ゲートと前記活性領域とを隔てる絶縁膜を更に有する。また、前記ゲート部は、前記浮遊ゲートへの情報蓄積を制御するための制御ゲートを更に有する。また、前記制御ゲートは、隣あう不揮発性半導体記憶装置の制御ゲートと互いに接続している。

【0016】更に、本発明は、第1の導電性を有する半導体基板の活性領域にソース電極、ドレイン電極が形成され、前記活性領域上に第1のゲート絶縁膜を介して浮遊ゲート、第2ゲート絶縁膜、制御ゲートが順次積層配置された不揮発性のMOS電界効果トランジスタを有する不揮発性半導体記憶装置をマトリクス状に構成してなる不揮発性半導体記憶装置であって、前記第1の導電性とは逆の導電特性を持つ第2の導電性を有する前記ソース電極と、前記ソース電極の端部と一端面が前記半導体基板上で整合して配置され、前記各不揮発性半導体記憶装置素子を電気的に分離するための素子分離絶縁膜と、この素子分離絶縁膜の前記ソース電極の端部と整合する一端面と整合してこの素子分離絶縁膜上に積層配置されているゲート部とを有する。また、前記ゲート部は前記浮遊ゲートと、前記浮遊ゲート上に前記第2ゲート絶縁膜を介して形成されている前記制御ゲートとを含んでいる。また、前記浮遊ゲートは前記半導体基板の活性領域上に前記第1のゲート絶縁膜を介して、前記素子分離絶縁膜上に一部乗り上げて形成されている。また、前記浮遊ゲートは隣あうMOS電界効果トランジスタの浮遊ゲートとは前記素子分離絶縁膜上で分離されている。また、前記ソース電極は、前記半導体基板の活性領域表面近傍にある第2導電性不純物を濃く含んだ濃い拡散領域と、この濃い拡散領域の外側に存在し、薄い拡散領域よりも第2導電性不純物を薄く含んだ薄い拡散領域とを有する。

【0017】更に、本発明は、半導体基板の表面に素子分離用の絶縁膜を溝状に形成し、前記絶縁膜と交わって延在するように前記半導体基板上にゲート配線を形成し、一対の前記ゲート配線に挟まれている領域のうちでソース領域とすべき部分を露出させるように、前記半導体基板及び前記ゲート配線上にレジストを形成し、前記ゲート配線と前記レジストとをマスクにして前記絶縁膜

を除去し、前記半導体基板とは反対導電型で相対的に低濃度の第1の不純物層を、前記ゲート配線と前記レジストとをマスクにして前記半導体基板に形成している。

【0018】

【作用】本発明による不揮発性半導体記憶装置は、上記構成により以下のように作用する。活性領域に2重拡散層が形成されている半導体基板上に一端面を前記2重拡散層の端部と整合して素子分離絶縁膜を形成し、さらにこの素子分離絶縁膜の整合する一端面と整合してゲート部をこの素子分離絶縁膜上に積層配置して構成している。このため、ソース領域をゲート配線に対して整合的に形成しているため、ゲート配線の間隔つまりソース領域の幅を狭くすることができ、集積度の高い不揮発性半導体記憶装置を提供することができる。しかも本発明によれば、追加的なマスキング工程は不要となり、従って、製造工程を大幅に増加させることもなく、集積度の高い不揮発性半導体記憶装置を提供することができる。

【0019】さらに、本発明による不揮発性半導体記憶装置は、素子分離領域をゲート領域に対して自己整合的に形成しているため、素子分離領域について遊びの領域を取る必要がなくなり、ゲート配線の間隔はソース領域の幅として設計すればよいので、ゲート配線の間隔を従来よりも狭く構成することができるので、従来装置よりも集積度の高い不揮発性半導体記憶装置を提供することができる。

【0020】また、本発明による不揮発性半導体記憶装置の製造方法では、ソース領域とすべき部分を露出させるように半導体基板及びゲート配線上にレジストを形成し、このレジストとゲート配線とをマスクにして素子分離用の絶縁膜を除去することによって、ソース領域を形成しているため、ソース領域をゲート配線に対して自己整合的に形成することができる。

【0021】しかも、ソース領域を形成するために用いているレジストは、ソースを構成する低濃度不純物層を形成するためにも用いているので、追加的なマスキング工程は不要である。

【0022】

【実施例】以下、本発明の一実施例を、図1乃至図2を用いて説明する。

【0023】まず、図2を用いてその構成を説明する。図2は本発明の一実施例である不揮発性半導体記憶装置の要部拡大平面図である。図2中の一点鎖線で囲まれた領域は、不揮発性半導体記憶装置の単位メモリセル30を示している。この不揮発性半導体記憶装置の単位メモリセル30は、それぞれソース拡散層32と、ビットラインとなるアルミ配線34と接点35でコンタクトされているドレイン拡散層36とを有し、ワード線となる第2多結晶シリコン層38とその下に第2ゲート絶縁膜を介して浮遊ゲートとなる第1多結晶シリコン層48をスタックゲート電極として有している。

7

【0024】更に、本発明による構造では、隣あうセルとは素子分離絶縁膜42で隔てられているが、この素子分離絶縁膜42がそれと直交する前記第2多結晶シリコン層38及びソース拡散層32と自己整合的に形成されていることを特徴としている。

【0025】次に、本発明の一実施例にかかる半導体記憶装置の製造方法について図1及び図3乃至図22を用いて説明する。これらの図において、図3乃至図12は、図2に示す不揮発性半導体記憶装置の製造工程毎の要部拡大平面図、図13乃至図22及び図1は、図3乃至図12に各々示した各ラインに沿う要部拡大側断面図である。すなわち、図13乃至図22及び図1に記載の図(a)、(b)、(c)、(d)はそれぞれ図3乃至図12に記載のI-I線、II-II線、III-III線、IV-IV線における側断面図に対応する。

【0026】まず、図3及び図13に示すように、従来より周知の技術であるフォトリソグラフィ及びLOCOS法を用いて、P型シリコン(Si)半導体基板11上の素子分離絶縁膜42を形成する位置に図示しないレジストを塗布し、このレジストを塗布しない領域に窒化シリコン(Si₃N₄)膜43を形成する。その後、窒化シリコン膜43をマスクとして半導体基板11の表面を選択的に酸化することにより、素子分離絶縁膜42を形成する。その結果、図13に示すように、図3のII-II線、IV-IV線方向に延在する溝状に素子分離絶縁膜42が形成される。

【0027】次に、図3及び図14に示すように、Si₃N₄膜43をエッチングにより除去し、表出した半導体基板11の活性領域44上に800℃でスチーム雰囲気にて第1ゲート酸化膜46を約10nm程度の膜厚に形成する。

【0028】その後、図4及び図15に示すように、N型にドーパされた第1多結晶シリコン層48を半導体基板11の全面に科学的気相成長法(以下CVD法と称す)によって、約150nm程度の膜厚に堆積し、前記活性領域44上を被覆し、素子分離絶縁膜42上で分離され、かつ、図4のIII-III線、IV-IV線方向に延びるパターンを形成する。その後、前記第1多結晶シリコン層48上に酸化膜換算でおよそ20~25nm程度のONO絶縁膜からなる第2ゲート絶縁膜50を形成する。

【0029】次に、図5及び図16に示すように、上記第2ゲート絶縁膜50上の所定位置に、さらにN型にドーパされた第2多結晶シリコン層38をCVD法によって約300nm程度の膜厚に堆積する。なお、この第2多結晶シリコン層38については、必要に応じてさらに上層にWSi₂を堆積することでポリサイド構造配線とすることもできる。

【0030】その後、図6及び図17に示すように、フォトリソグラフィ及び異方性ドライエッチング法(以

8

下RIE法と称す)を用いて、I-I線、II-II線方向に延びたパターンを形成し、第2多結晶シリコン層38によりワード線を形成する。このワード線は、第2多結晶シリコン層38の下にある前記第2ゲート絶縁膜50、第1多結晶シリコン層48を順次上層をマスクとしてエッチングすることにより形成する。この時点でのI-I線、II-II線に沿ってみた縦断面図は、図17(a)、(b)に示すとおりで、各々ワード線上及びソース線上の断面図を表している。

【0031】これより、本発明の製造工程の更なる要部を示す工程となる。まず、図7及び図18、特に図18(c)、(d)に示すように、ソース領域となる個所のみ開口するように、フォトリソグラフィを用いて図に示す個所にフォトレジスト52を形成する。

【0032】次に、図8及び図19に示すように、RIE法を用いて、II-II線を横切る素子分離絶縁膜42及び第1ゲート酸化膜46をエッチング除去する。この状態をII-II線に沿ってみた縦断面図を図19(b)に示す。

【0033】次に、図9及び図20に示すように、前記フォトレジスト52及び第2多結晶シリコン層38によって構成されるワード線をそのままマスクとして利用し、イオン注入法を用いてリン(P)不純物を基板中に導入してN⁺層56を、さらにヒ素(As)不純物を導入してN⁺層54を形成し二重拡散のソース領域32を形成する。この状態をII-II線に沿ってみた縦断面図を図20(b)に、III-III線、IV-IV線に沿ってみた縦断面図をそれぞれ図20(c)、(d)に示す。

【0034】その後は、図10及び図21に示すように、フォトレジスト52を除去し、ドレイン領域となる個所を開口するように、フォトリソグラフィを用いて図に示す個所にフォトレジスト58を形成し、イオン注入法を用いて、ヒ素(As)不純物を半導体基板11中に導入して図11及び図22(d)に示すように、ドレイン拡散層36を形成する。

【0035】そして、図12及び図1に示すように、従来方法と同じくCVD法により層間絶縁膜62を形成し、フォトリソグラフィを用いて前記ドレイン拡散層36上等を開口して、開口部64にスパッタ法によりアルミニウム(Al)34を蒸着することにより接点35を形成し、フォトリソグラフィを用いてパターンニングすることによりアルミ配線34(ビット線)を形成して、図1(a)、(b)、(c)、(d)、図2、図13に示す不揮発性半導体記憶装置の構造を得る。

【0036】以上説明した方法によれば、従来からのFLASH EEPROMの製造方法に新たなマスクを増やすことなく非対称なソース・ドレイン拡散層を得ることができ、かつ、よりセルサイズの小さな構造を持つ不揮発性半導体記憶装置を実現することができる。

【0037】

【発明の効果】以上のように、本発明による不揮発性半導体記憶装置は、ソース領域をゲート配線に対して自己整合的に形成しているため、ゲート配線の間隔つまりソース領域の幅を狭くすることができ、しかも追加的なマスキング工程は不要である。従って、製造工程を大幅には増加させることなく、集積度の高い不揮発性半導体記憶装置を提供することができる。

【0038】また、本発明による不揮発性半導体記憶装置は、素子分離領域をゲート領域に対して自己整合的に形成しているため、素子分離領域について遊びの領域を取る必要がなくなり、ゲート配線の間隔はソース領域の幅として設計すればよいので、ゲート配線の間隔を従来よりも狭く構成することができるので従来装置よりも集積度の高い不揮発性半導体記憶装置を提供することができる。

【0039】さらに、本発明による不揮発性半導体記憶装置の製造方法によれば、ソース領域とすべき部分を露出させるように半導体基板及びゲート配線上にレジストを形成し、このレジストとゲート配線とをマスクにして素子分離用の絶縁膜を除去することによって、ソース領域を形成している。そのため、ソース領域をゲート配線に対して自己整合的に形成することができる。

【0040】しかも、ソース領域を形成するために用いられているレジストは、ソースを構成する低濃度不純物層を形成するためにも用いられているので、追加的なマスキング工程は不要である。

【図面の簡単な説明】

【図1】本発明の一実施例を示し、図12に示す製造工程におけるI-I線、II-I線、III線-III線、IV-IV線に沿う要部拡大側断面図である。

【図2】本発明の一実施例を示す要部拡大平面図である。

【図3】図2に示す本発明の一実施例を製造工程毎に説明するための要部拡大平面図である。

【図4】図2に示す本発明の一実施例を製造工程毎に説明するための要部拡大平面図である。

【図5】図2に示す本発明の一実施例を製造工程毎に説明するための要部拡大平面図である。

【図6】図2に示す本発明の一実施例を製造工程毎に説明するための要部拡大平面図である。

【図7】図2に示す本発明の一実施例を製造工程毎に説明するための要部拡大平面図である。

【図8】図2に示す本発明の一実施例を製造工程毎に説明するための要部拡大平面図である。

【図9】図2に示す本発明の一実施例を製造工程毎に説明するための要部拡大平面図である。

【図10】図2に示す本発明の一実施例を製造工程毎に

説明するための要部拡大平面図である。

【図11】図2に示す本発明の一実施例を製造工程毎に説明するための要部拡大平面図である。

【図12】図2に示す本発明の一実施例を製造工程毎に説明するための要部拡大平面図である。

【図13】図3に示す製造工程におけるI-I線、II-I線、III線-III線、IV-IV線に沿う要部拡大側断面図である。

【図14】図3に示す製造工程におけるI-I線、II-I線、III線-III線、IV-IV線に沿う要部拡大側断面図である。

【図15】図4に示す製造工程におけるI-I線、II-I線、III線-III線、IV-IV線に沿う要部拡大側断面図である。

【図16】図5に示す製造工程におけるI-I線、II-I線、III線-III線、IV-IV線に沿う要部拡大側断面図である。

【図17】図6に示す製造工程におけるI-I線、II-I線、III線-III線、IV-IV線に沿う要部拡大側断面図である。

【図18】図7に示す製造工程におけるI-I線、II-I線、III線-III線、IV-IV線に沿う要部拡大側断面図である。

【図19】図8に示す製造工程におけるI-I線、II-I線、III線-III線、IV-IV線に沿う要部拡大側断面図である。

【図20】図9に示す製造工程におけるI-I線、II-I線、III線-III線、IV-IV線に沿う要部拡大側断面図である。

【図21】図10に示す製造工程におけるI-I線、II-I線、III線-III線、IV-IV線に沿う要部拡大側断面図である。

【図22】図11に示す製造工程におけるI-I線、II-I線、III線-III線、IV-IV線に沿う要部拡大側断面図である。

【図23】本発明の一従来例を示す部分拡大平面図である。

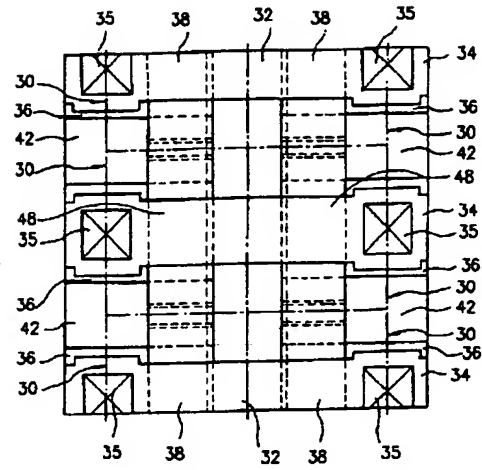
【図24】図23のV-V線に沿う要部拡大側断面図である。

【図25】従来例の問題点を説明するための部分平面図である。

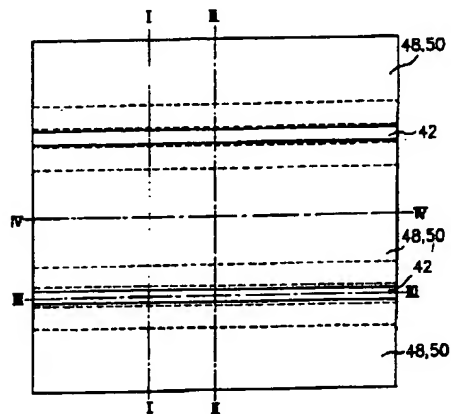
【符号の説明】

- 11 半導体基板
- 32 ソース領域
- 38 第2多結晶シリコン層
- 42 素子分離絶縁膜
- 48 第1多結晶シリコン層

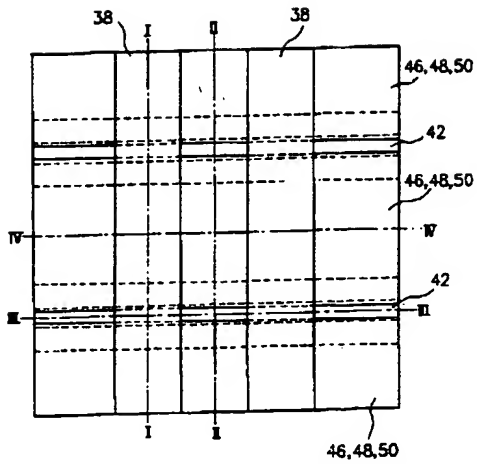
【圖2】



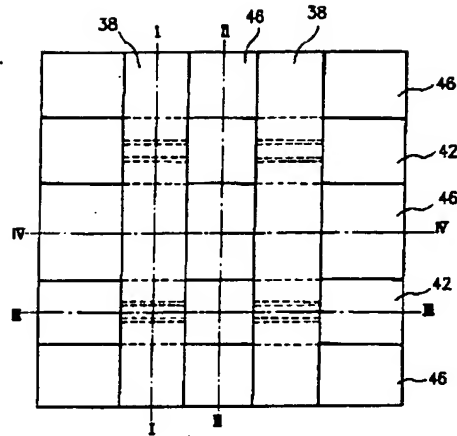
【圖4】



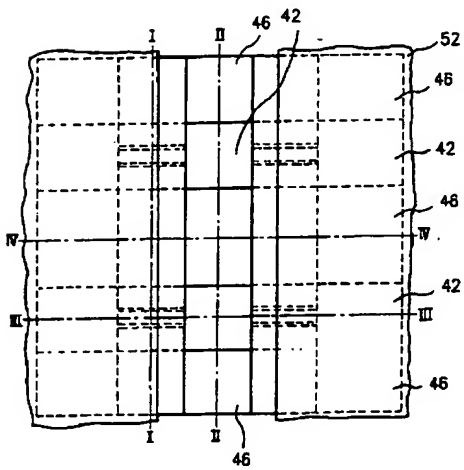
【図5】



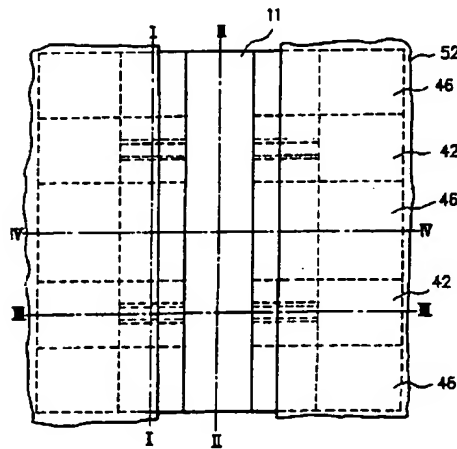
【図6】



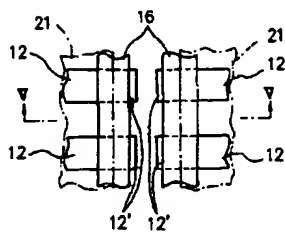
【図7】



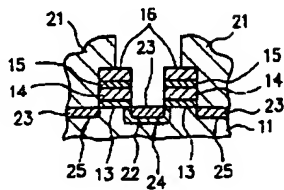
【図8】



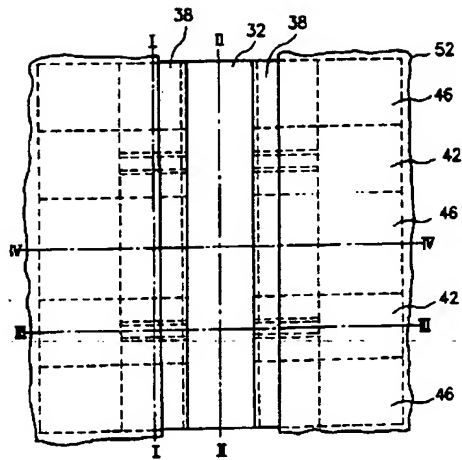
【図23】



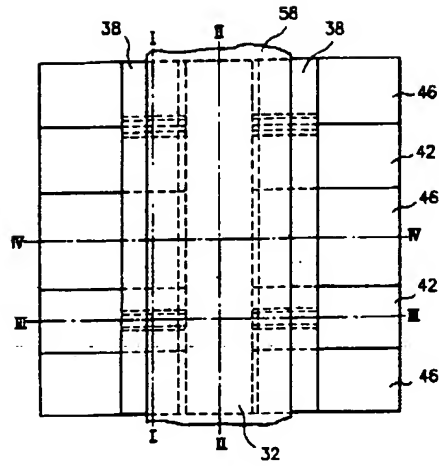
【図24】



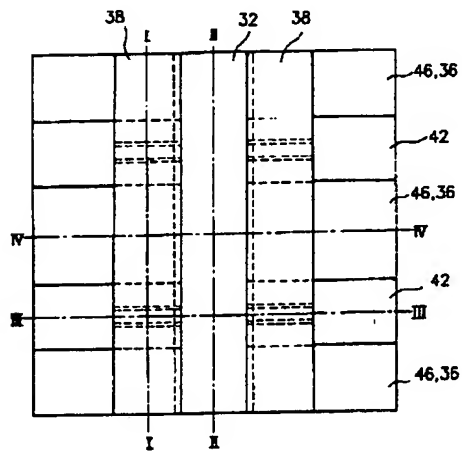
【図9】



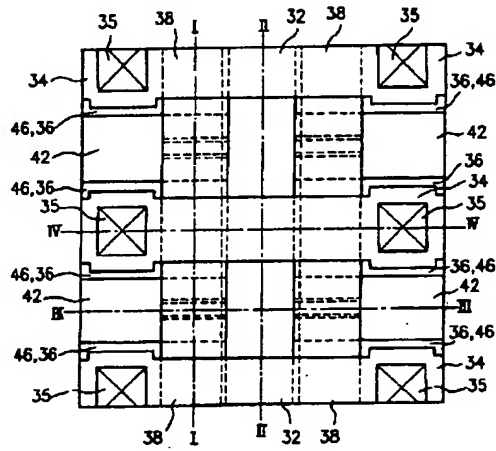
【図10】



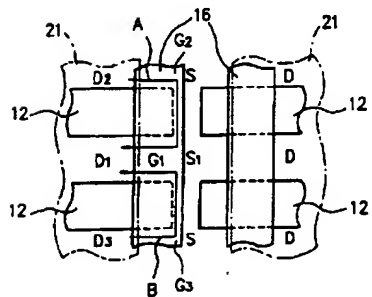
【図11】



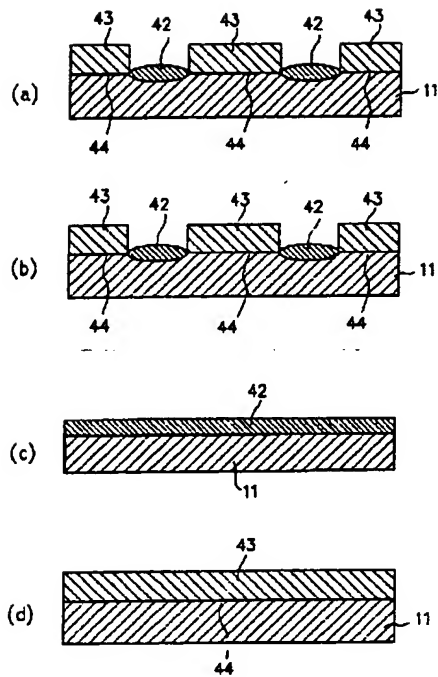
【図12】



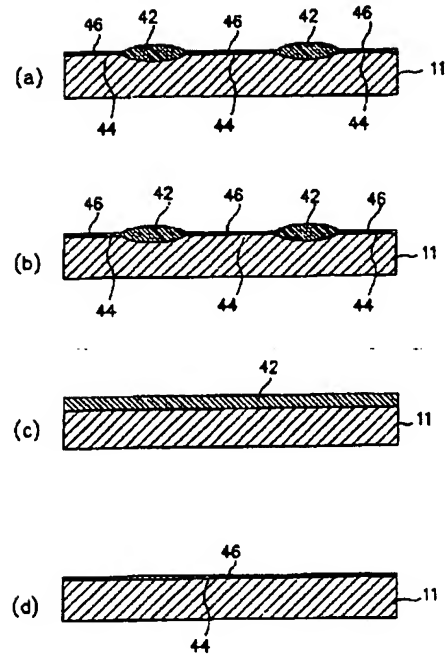
【図25】



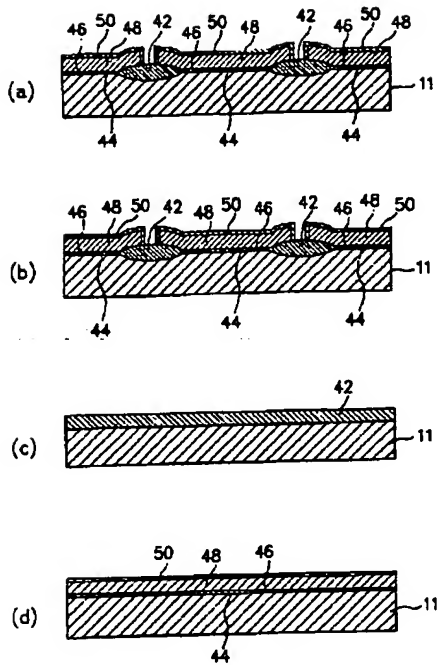
【図13】



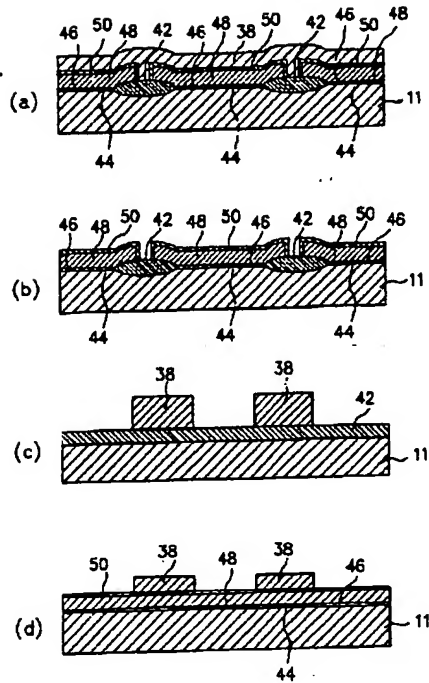
【図14】



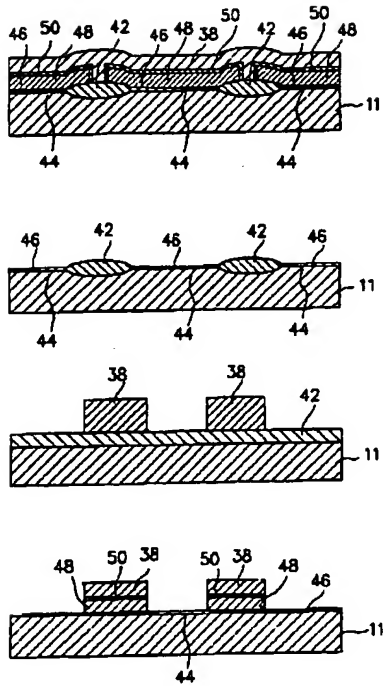
【図15】



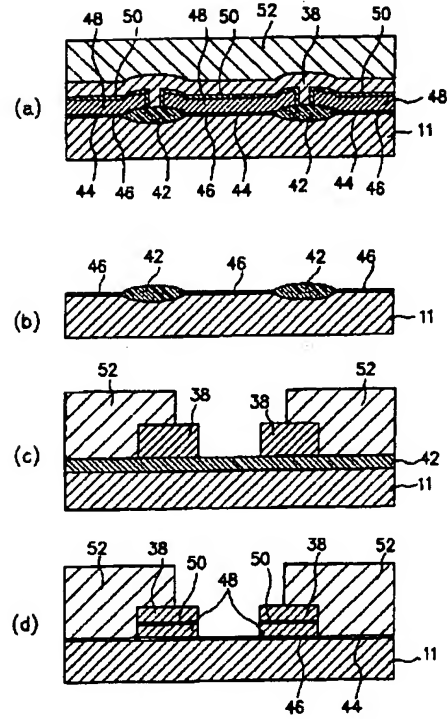
【図16】



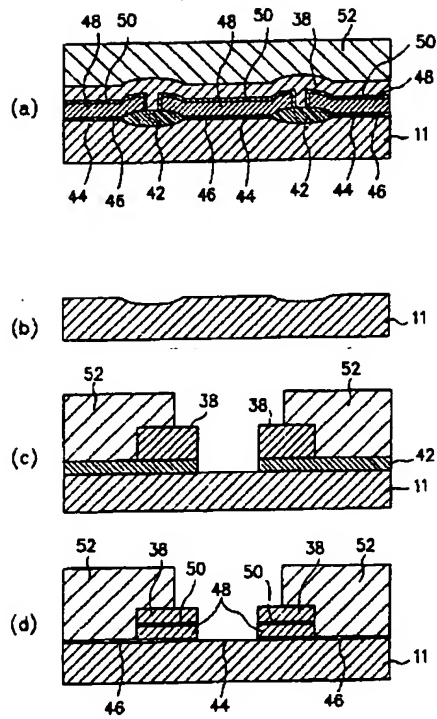
【図 17】



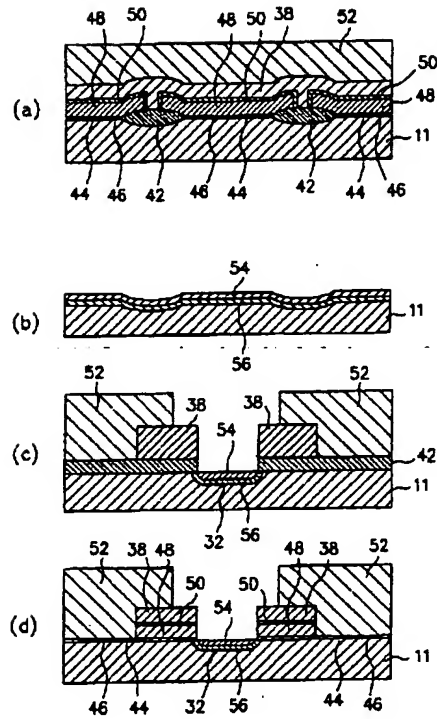
【図 18】



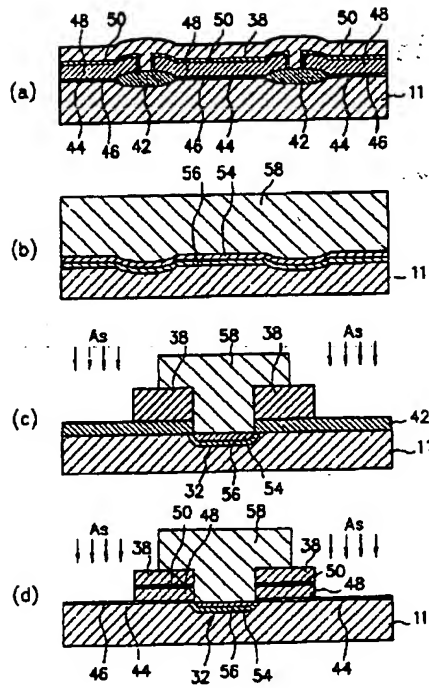
【図19】



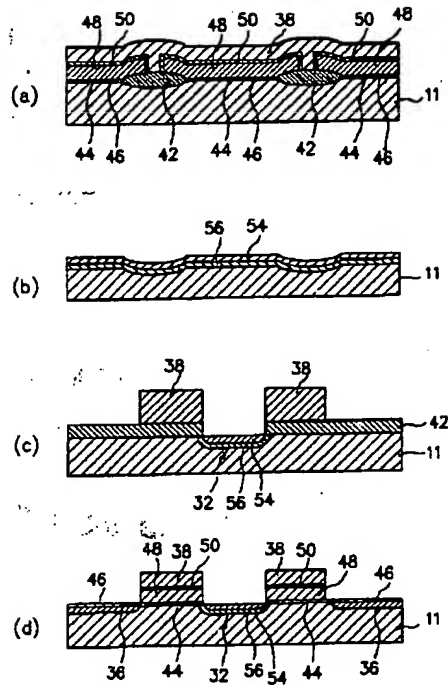
【図20】



【図21】



【図22】



フロントページの続き

(51) Int. Cl.³
G11C 16/04
H01L 27/115

識別記号

庁内整理番号

FI

技術表示箇所

8728-4M

H01L 27/10

434